



TITLE:

Studies on Datapath Circuits for Superconductor Bit-Slice Microprocessors(Abstract_要旨)

AUTHOR(S):

Tang, Guang-ming

CITATION:

Tang, Guang-ming. Studies on Datapath Circuits for Superconductor Bit-Slice Microprocessors. 京都大学, 2016, 博士(情報学)

ISSUE DATE:

2016-09-23

URL:

<https://doi.org/10.14989/doctor.k20033>

RIGHT:

(続紙 1)

京都大学	博士 (情報学)	氏名	唐 光明
論文題目	Studies on Datapath Circuits for Superconductor Bit-Slice Microprocessor (超伝導ビットスライスマイクロプロセッサのデータパス回路の研究)		
<p>(論文内容の要旨)</p> <p>超伝導デジタル回路は、高速性、低消費電力性から、ポストCMOS回路技術の候補の一つとなっている。本論文は、現在の製造プロセス技術を用いて、CMOSマイクロプロセッサと同程度の性能を有する、超伝導ビットスライスマイクロプロセッサの開発を目指し、そのデータパス回路の構成法、設計法を提示しており、全5章からなる。</p> <p>第1章は序論であり、まず、超伝導単一磁束量子 (SFQ) 回路の製造プロセス技術の進歩、および、SFQ回路によるマイクロプロセッサの開発研究の歴史を概観している。次に、現在の集積度では32ビット・ビットパラレルマイクロプロセッサは実現困難であるが、4ビット・ビットスライスを50GHzクロックでパイプライン処理すれば、CMOSマイクロプロセッサと同程度の性能を実現できることを述べている。</p> <p>第2章では、まず、SFQ回路の原理、論理値の表現法、クロッキング方式などを説明している。SFQ回路はパルス論理で動作し、各論理ゲートには入力データパルスを待ち合わせるための同期クロック信号 (パルス) が必要であり、このクロック付きゲート一段がパイプライン処理の1ステージとなる。次に、ビットスライスデータパス回路の開発においては、(1)フィードバックループがクロック付きゲートを含まないようにする、(2)フィードバックループの遅延を最小化する、(3)タイミング設計が容易になるようにする、(4)厳密なタイミング調整を行う、ことが課題となることを示している。さらに、本研究で回路試作に用いる超伝導SFQ回路製造プロセス、回路設計およびシミュレーションの環境、回路のテストの環境を説明している。</p> <p>第3章では、4ビット・ビットスライス算術論理演算ユニット (ALU) の構成法、設計法を示している。Sklansky加算器に基づくアルゴリズムを提案し、フィードバックループを一箇所に行っている。論理設計において、最上位の桁上げ生成回路を二重化してフィードバックループを単純化するとともに、SFQ回路に特有の合流素子でOR論理を実現するなど種々の工夫により回路を単純化している。これらにより、上記の課題(1)～(3)を解決している。さらに、レイアウト設計において、配線長の調整などにより課題(4)を解決している。提案したALUを試作し、テストにより50GHzで正しく動作することを確認している。さらに、ビットスライス、2、8、16ビット・ビットスライス、32ビット・ビットパラレルALUを設計し、50GHz動作では4ビット・ビットスライスが最もレイテンシが短く、エネルギー効率が良いことを示している。</p> <p>第4章では、4ビット・ビットスライス32×32ビット乗算器の構成法、設計法を示している。新たにシストリック型のアルゴリズムを開発し、最終加算以外はすべて桁上げ保存方式で行い、最終加算は3章で用いたSklansky加算器に基づくビットスライス加算器で行うことにより、データの流れを一方向にし、フィードバックループを一箇所に行っている。論理設計において、フィードバックループを単純化している。さらに、レイアウト設計において、ゲートの配置を工夫するとともに、配線長の調整などを行っている。これらにより課題を解決している。</p> <p>第5章は結論であり、本論文の成果を総括している。</p>			

注) 論文内容の要旨と論文審査の結果の要旨は1頁を38字×36行で作成し、合わせて、3,000字を標準とすること。

論文内容の要旨を英語で記入する場合は、400～1,100 wordsで作成し
審査結果の要旨は日本語500～2,000字程度で作成すること。

(論文審査の結果の要旨)

本論文は、現在の超伝導単一磁束量子 (SFQ) 回路の製造プロセス技術を用いて、CMOSマイクロプロセッサと同程度の性能を有する、32ビット・マイクロプロセッサの開発を目指し、ビットスライスデータパス回路の構成法、設計法を提示している。SFQ回路はパルス論理で動作し、各論理ゲートには入力データパルスを待ち合わせるための同期クロック信号 (パルス) が必要であり、このクロック付きゲート一段がパイプライン処理の1ステージとなる。ビットスライスデータパス回路の開発においては、(1)フィードバックループがクロック付きゲートを含めないようにする、(2)フィードバックループの遅延を最小化する、(3)タイミング設計が容易になるようにする、(4)厳密なタイミング調整を行う、ことが課題となる。本論文で得られた成果は、以下の様に要約できる。

1. 4ビット・ビットスライス算術論理演算ユニットの構成法、設計法を示した。

Sklansky加算器に基づくアルゴリズムを提案し、フィードバックループを一箇所にした。論理設計において、最上位の桁上げ生成回路を二重化してフィードバックループを単純化するとともに、SFQ回路に特有の合流素子でOR論理を実現するなど種々の工夫により回路を単純化した。これらにより、上記の課題(1)～(3)を解決した。さらに、レイアウト設計において、配線長の調整などにより課題(4)を解決した。

提案したALUを試作し、テストにより50GHzで正しく動作することを確認した。

さらに、ビットスライス、2, 8, 16ビット・ビットスライス、32ビット・ビットパラレルALUを設計し、50GHz動作では4ビット・ビットスライスが最もレイテンシが短く、エネルギー効率が良いことを示した。

2. 4ビット・ビットスライス32×32ビット乗算器の構成法、設計法を示した。

新たにシストリック型のアルゴリズムを開発し、最終加算以外はすべて桁上げ保存方式で行い、最終加算は3章で用いたSklansky加算器に基づくビットスライス加算器で行うことにより、データの流れを一方向にし、フィードバックループを一箇所にした。論理設計において、フィードバックループを単純化した。さらに、レイアウト設計において、ゲートの配置を工夫するとともに、配線長の調整などを行った。これらにより課題を解決した。

以上、本論文は、超伝導ビットスライスマイクロプロセッサのデータパス回路の開発における課題を、アルゴリズム設計、論理設計、レイアウト設計の各段階における工夫により総合的に解決する手法を与えており、学術上、応用上ともに寄与するところが少なくない。よって本論文は博士 (情報学) の学位論文として価値あるものとして認める。平成28年8月26日に実施した論文内容とそれに関連した試問の結果、合格と認めた。

注) 論文審査の結果の要旨の結句には、学位論文の審査についての認定を明記すること。
更に、試問の結果の要旨 (例えば「平成 年 月 日論文内容とそれに関連した口頭試問を行った結果合格と認めた。」) を付け加えること。

Webでの即日公開を希望しない場合は、以下に公開可能とする日付を記入すること。
要旨公開可能日： 年 月 日以降